

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-270546

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H02M 3/28
H02J 1/00

(21)Application number : 11-066869

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 12.03.1999

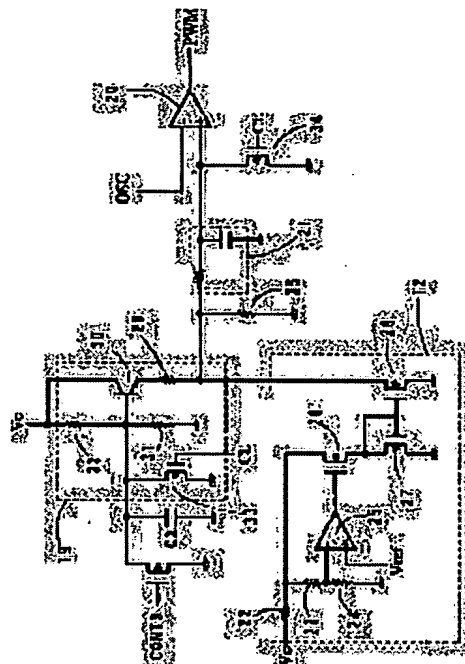
(72)Inventor : NOGUCHI YASUNARI
NISHIKAWA MADOKA
IKEDA NORIFUMI

(54) SWITCHING POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To make a soft start operation in an intermittent operation to be without fail, to immediately drive a circuit by means of a minimum duty ratio in an intermittent drive period, and to drop consumption current in a standby state in the switching power source circuit.

SOLUTION: In a circuit where reference voltage generated by a soft start circuit 19 and an error detecting circuit 12 is applied to a comparator 20 via a low pass filter 21, the charge of a capacitor in the low-pass filter 21 is surely discharged, and a soft start operation in a standby state is positively made with MOS 34 installed between the output of the low pass filter 21 and ground and driven by a clock signal CL and a resistor 35 installed between the input of the low-pass filter 21 and ground. A switch SW2 is installed in a soft start terminal, to which the capacitor C2 is connected and pulse width drive by a minimum duty can immediately be started, even in the drive period of an intermittent operation.



LEGAL STATUS

[Date of request for examination] 21.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3490922

[Date of registration] 07.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 トランスの1次側に流れる電流をスイッチングするスイッチング素子と、該スイッチング素子を駆動する周波数信号を発生する発振回路と、前記トランスの2次側からの帰還信号を検出するエラー検出回路と、該エラー検出回路の検出力に基づき前記発振回路の出力をパルス幅変調するパルス幅変調回路と、通常動作状態とスタンバイ状態によって前記パルス幅変調回路の出力を連続的又は間欠的にスイッチング素子に供給するロジック回路と、前記スタンバイ状態時の間欠周波数を作成するタイマー回路と、前記間欠動作時に前記パルス幅変調のデューティ比を最小値から徐々に大きくするソフトスタート回路とを備えたスイッチング電源回路において、前記パルス幅変調回路は、前記ソフトスタート回路とエラー検出回路によって作成された基準信号と前記発振回路の発信出力を比較する比較回路からなり、前記基準電圧が印加される比較回路の入力に間欠周波数信号によって制御されるスイッチ回路を設けたことを特徴とするスイッチング電源回路。

【請求項2】 前記基準信号は、ローパスフィルタを介して前記比較回路に印加され、前記ローパスフィルタの入力と接地間に高抵抗を設けたことを特徴とする請求項1記載のスイッチング電源回路。

【請求項3】 前記ソフトスタート回路には、時定数を決定するコンデンサが接続される端子が設けられ、該端子を制御信号によって短絡することにより任意のタイミングでソフトスタート動作させること特徴とする請求項2記載のスイッチング電源回路。

【発明の詳細な説明】**【0001】**

【発明が属する技術分野】 本発明は、トランスの1次側に流れる電流をスイッチングすることによってトランスの2次側に所定の電源電圧を発生するスイッチング電源回路に関する。

【0002】

【従来の技術】 テレビやビデオテープレコーダ等の電子機器の電源に使用される電源回路には、スイッチング電源回路が使用される。このようなスイッチング電源回路には、3端子から5端子程度の集積回路が使用され、トランスの1次側をスイッチングするスイッチングトランジスタとこのスイッチングトランジスタを駆動する駆動回路が集積される。

【0003】 図2は、このようなスイッチング電源回路を示すブロック図である。交流電源は、ブリッジ整流回路1によって直流に整流され、トランス2の1次側巻き線の一端に供給される。1次側巻き線他端は、スイッチング駆動用IC3に接続される。トランス2の2次側巻き線2aの出力は、ダイオード4によって整流され、電子機器の主電源V1として内部回路に供給されるとともに、電子機器を制御するためのマイコン5にもスイ

チ6を介して供給される。また、2次側巻き線2bの出力は、ダイオード7によって整流され、フォトトランジスタ8を介してIC3の電源として供給される。このフォトトランジスタ8は、主電源V1の安定化の制御のための帰還信号入力として用いられ、主電源V1に接続されたフォトダイオード9と光学的に結合される。トランス2の2次側巻き線2cは、ダイオード10によって整流され、電子機器のスタンバイ状態におけるマイコン5の電源V3としてスイッチ6を介してマイコン5に印加される。

【0004】 IC3は、最初の電源投入時にIC3を駆動するためにIC3の各部に電圧を供給するためのスタート回路11と、フォトトランジスタ8によってIC3の電源に帰還された信号を検出するエラー検出回路12と、スタンバイ状態においてスイッチング動作を間欠的に行うための間欠帰還を決定するタイマー回路13と、トランス2の1次側巻き線をスイッチングするMOSトランジスタ14と、マイコン5からの制御信号CONT2によって開閉が制御されるスイッチ15によって発振周波数が切り替えられる発振回路16と、発振回路16の発振出力をエラー検出回路12の出力に基づいてパルス幅変調するPWM回路17と、パルス幅変調された信号をタイマー回路13の出力状態に従ってMOSトランジスタ14に印加するロジック回路18と、電源投入時及び間欠動作時に、外部接続されたコンデンサC2によって決定される時定数に従い最小デューティから徐々にデューティ比を大きくするソフトスタート回路19から構成される。

【0005】 図2の動作を説明する。電源が投入されていない状態では、トランスの2次側巻き線2bには電圧が発生していないため、IC3には電源電圧が供給されていないので、IC3は動作していない。最初に電源が投入されるとブリッジ整流回路1によって整流された電圧が、トランス2の1次側巻き線からスタート回路11を介してIC3に供給される。これにより、IC3の動作が開始され、発振回路16の発振が開始する。このときの発振回路16の発振周波数は、100KHzである。ソフトスタート回路19は、デューティ比が徐々に大きくなるような出力を発生するため、発振出力はPWM回路17によって初期状態のパルス幅変調を行う。PWM回路17の出力はロジック回路18を介してMOSトランジスタ14に印加され、MOSトランジスタ14は、パルス幅変調された信号に従って1次側巻き線のスイッチング動作を行う。これにより、トランス2の各2次側巻き線に電圧が発生する。これによりマイコン5も動作し、マイコン5は、その出力信号によって発行ダイオード9を動作させる。従って、フォトトランジスタ8がオンして、2次側巻き線2bの電圧がIC3に供給される。IC3に電圧が供給されると、スタート回路11は、動作を停止し、1次側巻き線からIC3の内部に電

源供給することを止める。これにより通常の動作状態が持続される。

【0006】次に、スタンバイ状態、即ち、電子機器の内部が電源を必要とせずマイコン5だけが動作状態になる状態では、マイコン5は、その制御信号CONT1によってスイッチ6を制御してマイコン5自身の電源を電流容量の少ない2次巻き線2cからの電源に切り替えるとともに、発光ダイオード9の動作を停止させる。更に、スイッチ15をオンして発振回路16の発振周波数を20KHzに切り替える。これにより、フォトトランジスタ8がオフするため2次巻き線2bからIC3への電源供給が停止されるので、IC3の電源はスタート回路11から供給される。このとき、IC3の電源に接続されたコンデンサ19には、充電電流が流れ、IC3の電源電圧は上昇する。タイマー回路13は、電源電圧が所定のレベル、例えば、5.6Vに達するとスタート回路11からの電源供給を停止する。するとコンデンサ19からは放電電流が流れることになり、電源電圧が低下する。タイマー回路13は、電源電圧の電圧が所定電圧、例えば、4.7Vに低下すると再びスタート回路11からの電源供給を開始させる。このような動作により、IC3の電源電圧ラインには、4.7Vと5.6Vの振幅の三角波が繰り返し発生する。そして、タイマー回路13は、この三角波の周期を計数して、例えば、2周期ごとにロジック回路18を制御して、PWM回路17の出力をMOSトランジスタ14に印加する。尚、MOSトランジスタ14を制御する期間は、コンデンサ19の放電期間、即ち、三角波の下降期間である。間欠駆動の駆動期間において、ソフトスタート回路19が動作し、コンデンサC2で決定される時定数に従い、パルス幅変調の最小デューティ比から徐々にデューティ比を上昇するようにしている。これは、起動時の突入電流によってスイッチング素子14が破壊するのを防止するものであり、且つ、消費電力を低下させるためのものである。

【0007】以上の如く、MOSトランジスタ14は20KHzの周波数で所定間隔で所定時間駆動されることになる。これにより、スタンバイ状態での消費電力が削減されることになる。

【0008】

【発明が解決しようとする課題】図2に示されたスイッチング電源回路において、間欠動作に入った場合に、最初の間欠駆動時には、ソフトスタート回路が働くが、次の間欠動作の時に最小デューティにならず2時側の巻き線2cの電圧が急上昇して、消費電流が増大する場合があった。

【0009】その原因を調べると、パルス幅変調回路を構成する比較回路の基準電圧が低下せずに前の電圧が保持されていることが判明した。これは、ソフトスタート回路とエラー検出回路で決定される基準電圧がローパス

フィルタを介して比較回路に印加されているため、ローパスフィルタのコンデンサに充電された電荷が抜けていないことが原因であった。

【0010】

【課題を解決するための手段】本発明は、上述した点に鑑みて創作されたものであり、トランスの1次側に流れる電流をスイッチングするスイッチング素子と、該スイッチング素子を駆動する周波数信号を発生する発振回路と、前記トランスの2次側からの帰還信号を検出するエラー検出回路と、該エラー検出回路の検出出力に基づき前記発振回路の出力をパルス幅変調するパルス幅変調回路と、通常動作状態とスタンバイ状態によって前記パルス幅変調回路の出力を連続的又は間欠的にスイッチング素子に供給するロジック回路と、前記スタンバイ状態時の間欠周波数を作成するタイマー回路と、前記間欠動作時に前記パルス幅変調のデューティ比を最小値から徐々に大きくするソフトスタート回路とを備えたスイッチング電源回路において、前記パルス幅変調回路は、前記ソフトスタート回路とエラー検出回路によって作成された基準信号と前記発振回路の発信出力を比較する比較回路からなり、前記基準電圧が印加される比較回路の入力に間欠周波数信号によって制御されるスイッチ回路を設けたものである。

【0011】また、前記基準信号は、ローパスフィルタを介して前記比較回路に印加され、前記ローパスフィルタの入力と接地間に高抵抗を設けたものである。

【0012】更に、前記ソフトスタート回路には、時定数を決定するコンデンサが接続される端子が設けられ、該端子を制御信号によって短絡することにより任意のタイミングでソフトスタート動作させることを可能としたものである。

【0013】

【発明の実施の形態】図1は、本発明の実施形態を示す回路図であり、エラー検出回路12と、PWM回路17と、ソフトスタート回路19の具体的な回路である。PWM回路17は、発振回路16からの三角波出力が入力に印加されたコンパレータ20と、コンパレータ20の他方の入力に基準電圧を印加するローパスフィルタ21で構成される。

【0014】エラー検出回路12は、電源ラインVcの電圧が抵抗22、23、24によって分圧された電圧と基準電圧Vrefを比較するコンパレータ25と、コンパレータ25の出力が印加されたPチャネルMOS26と、カレントミラー回路を構成するチャネルMOS27、28とで構成され、MOS28のドレインは、ローパスフィルタ21および抵抗29を介してトランジスタ30のエミッタに接続される。

【0015】ソフトスタート回路19は、抵抗29にエミッタが接続されたトランジスタ30と、トランジスタ30のバイアスを設定する抵抗31、32と、トランジ

スタ30のベースと接地間に接続されたNチャネルMOS33とで構成され、トランジスタ30のベースは、IC3の外部端子として導出され、そこにコンデンサC2とマイコンからの制御信号CONT3によって制御されるスイッチSW2が設けられる。NチャネルMOS33のゲートには、タイマー回路13から出力されたクロック信号CLが印加される。クロック信号CLは、PWM出力によってMOSトランジスタ14をスイッチング動作させる期間に「L」レベルとなる信号であり、スタンバイ状態においては、タイマー回路13が間欠動作を行う周期、例えば2周期毎に「L」レベルとなる。

【0016】図1において、エラー検出回路12は、電源ラインVcの分圧された電圧と基準電圧Vrefを比較することによって、通常動作状態の場合に電源ラインVcの電圧が5.6VとなるようにPWM回路17を制御する。即ち、電源ラインVcの電圧が5.6Vより高くなった場合にはコンパレータ25の出力電圧が低下し、PチャネルMOS26がオンして、NチャネルMOS27に電流を多く流すように作用する。従って、NチャネルMOS28の電流も増加し、トランジスタ30のエミッタ電圧が低下するので、コンパレータ20の基準電圧が低下する。これにより、コンパレータ20の出力パルスの幅が狭くなる。

【0017】ここで、ローパスフィルタ21の印加されたコンパレータ20の入力と接地間には、NチャネルMOS34が接続され、このNチャネルMOS34のゲートにはNチャネルMOS33と同じクロック信号CLが印加される。このNチャネルMOS34は、ローパスフィルタ21のコンデンサに充電された電荷を放電するためのトランジスタであり、間欠動作をする駆動期間のみオフとなる。更に、ローパスフィルタ21の入力側、即ち、トランジスタ30のエミッタと抵抗29の接続点に一端が接続され、他端が接地された抵抗35が設けられる。この抵抗は、50KΩから2MΩ程度の抵抗値を有し、間欠動作期間中にスイッチSW2が閉じられることによってトランジスタ30がオフしたとき、ローパスフィルタ21のコンデンサの電化を放電する作用をする。

【0018】次に、図1及び図2を参照して、スタンバイ状態の動作を説明する。マイコン5からの制御信号CONT1によって発光ダイオード9がオフするため、フォトトランジスタ8がオフし、2次側巻き線2bから電圧がIC3に供給されなくなる。これにより、タイマー回路13は、スタート回路11からのコンデンサC1への充電とコンデンサC1からの放電を繰り返すため、電源ラインVcの波形は、5.6Vと4.7V振幅を持った三角波となる。

【0019】更に、タイマー回路13は、電源ラインVcの三角波をカウンタで計数することによって2周期毎のコンデンサC1の放電期間、即ち、電源ラインVcの波形が下降する期間にクロック信号CLを「L」レベル

とする。また、この期間は、ロジック回路18がPWM出力をMOSトランジスタ14に印加してスイッチングを行う期間である。尚、スタンバイ状態では、制御信号CONT2が「H」レベルとなってスイッチSW1が閉じられる。これにより発振回路16は、100KHzの発振周波数から20KHzの発振周波数に切り替えられる。

【0020】クロック信号CLが「H」レベルの期間は、MOS33がオンしているため、コンデンサC2は放電され、トランジスタ30はオフしている。また、MOS34もオンしているためローパスフィルタ21のコンデンサも放電されている。

【0021】次に、間欠動作期間になってクロック信号CLが「L」レベルになると、MOS33及び34がオフするため、コンデンサC2には充電電流が抵抗32を介して流れ始める。すると、トランジスタ30のベース電圧が徐々に上昇することになり、エミッタ電圧が上昇する。従って、コンパレータ20に印加される基準電圧は、徐々に高くなり、PWM出力のパルス幅は徐々に広がる。

【0022】このように間欠動作を行う場合、駆動期間になる直前までMOS34がオンしているため、コンパレータ20に印加される基準電圧は、接地電位に保持される。尚、基準電圧が接地電位の場合は、コンパレータ20の出力は、「L」レベルのままであるが、この時コンパレータ20の出力が印加されるロジック回路18は、所定の最小デューティ比、例えば2%のデューティのパルスをスイッチング素子14に印加するように構成されている。

【0023】一方、間欠動作における駆動期間にマイコン5からの制御信号CONT3によってスイッチSW2が閉じられると、コンデンサC2に充電されていた電荷が放電される。この時、MOS34はオフ状態にあるため、MOS34によってローパスフィルタ21のコンデンサの放電は行われない。この場合には、このコンデンサの放電は、ローパスフィルタ21の抵抗と抵抗35を介して行われることになる。

【0024】従って、間欠動作の駆動期間であってもスイッチSW2が閉じられると、コンパレータ20に印加される基準電圧が直ちに接地電位に固定されるので、コンパレータ20の出力は「L」レベルとなる。これにより、ロジック回路18の出力は最小デューティのパルスとなるため、スイッチング素子14の駆動は最小限のパルス駆動となり、消費電力のさらなる低減が可能となる。

【0025】

【発明の効果】上述の如く、本発明によれば、スタンバイ状態でのソフトスタート動作が確実に行えるとともに、間欠動作の駆動期間にソフトスタート端子を接地することによって、直ちに最小デューティのパルス幅駆動

に切り換えることができるので、2次側の電圧の急激な上昇が抑えられるとともに、スタンバイ状態での消費電力を更に低下することができるものである。

【図面の簡単な説明】

【図1】本発明の実施形態を示す回路図である。

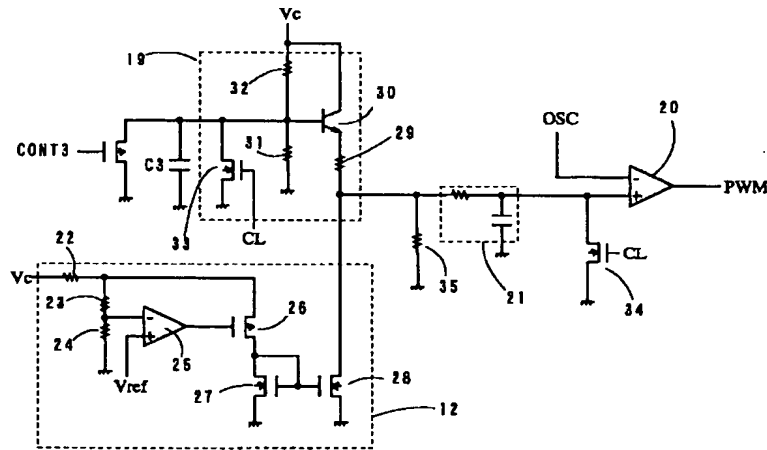
【図2】スイッチング電源回路のブロック図である。

【符号の説明】

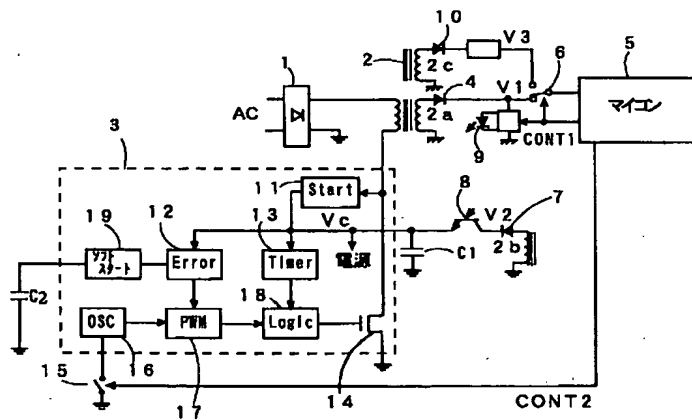
- 1 ブリッジ整流回路
- 2 トランス
- 3 IC
- 4、7、10 ダイオード
- 5 マイコン
- 6、15 スイッチ
- 8 フォトトランジスタ

- 9 発光ダイオード
- 11 スタート回路
- 12 エラー検出回路
- 13 タイマー回路
- 14 スwitchングトランジスタ
- 16 発振回路
- 17 パルス幅変調回路
- 18 ロジック回路
- 19 ソフトスタート回路
- 20、25 コンパレータ
- 26 PチャネルMOS
- 27、28、33、34 NチャネルMOS
- 35 抵抗

【図1】



【図2】



フロントページの続き

(72)発明者 池田 憲史
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

F ターム(参考) 5G065 AA00 AA01 DA06 DA07 EA06
FA02 GA07 HA05 HA12 HA16
JA01 JA07 LA01 MA03 MA07
MA09 MA10 NA01 NA02 NA09
5H730 AA14 BB21 BB57 CC01 DD04
EE02 EE73 FF02 FF09 FF19
FG05 FG07 VV01 XC14